

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-199199

(43)公開日 平成 5 年(1993) 8 月 6 日

(51)Int.Cl.⁵

H 0 4 J 3/07

H 0 4 L 7/00

識別記号

庁内整理番号

8843-5K

A 7928-5K

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 9 頁)

(21)出願番号 特願平4-7457

(22)出願日 平成 4 年(1992) 1 月 20 日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目 1 番 6 号

(72)発明者 岡崎 健

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 高木 誠一

東京都千代田区内幸町一丁目 1 番 6 号 日

本電信電話株式会社内

(74)代理人 弁理士 柏谷 昭司 (外 1 名)

最終頁に続く

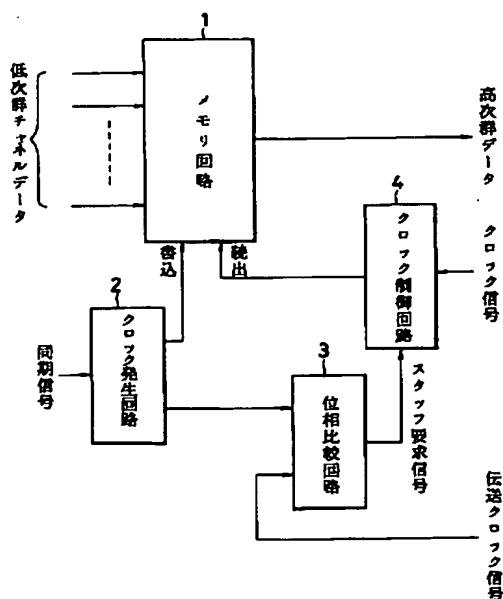
(54)【発明の名称】 スタッフ同期制御方式

(57)【要約】

【目的】 本発明は、複数系列の低次群チャネルデータを時分割多重化し、高次群側に同期させるスタッフ同期制御方式に関し、簡単な構成でスタッフ同期を行わせることを目的とする。

【構成】 映像信号の 3 成分信号等の複数系列の低次群チャネルデータを書込み、多重化した高次群データとして読出すメモリ回路 1 と、複数系列の低次群チャネルデータの同期信号に同期したクロック信号を出力するクロック発生回路 2 と、このクロック発生回路 2 からのクロック信号と伝送クロック信号との位相差に対応してスタッフ要求信号を出力する位相比較回路 3 と、この位相比較回路 3 からのスタッフ要求信号により、メモリ回路 1 に加える高次群読出クロック信号を制御するクロック制御回路 4 とを備えている。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 相互に同期した複数系列の低次群チャンネルデータを時分割多重化して伝送するシステムに於けるスタッフ同期制御方式に於いて、

前記複数系列の低次群チャンネルデータを書込み、高次群データとして読出すメモリ回路(1)と、

前記複数系列の低次群チャンネルデータの同期信号に同期したクロック信号を出力するクロック発生回路(2)

と、

該クロック発生回路(2)からのクロック信号と伝送クロック信号との位相差に対応してスタッフ要求信号を出力する位相比較回路(3)と、

該位相比較回路(3)からの前記スタッフ要求信号により、前記メモリ回路(1)に加える高次群読出クロック信号を制御するクロック制御回路(4)とを備え、

前記メモリ回路(1)に前記複数系列の低次群チャンネルデータを前記クロック発生回路(2)からのクロック信号に従って書込み、前記クロック制御回路(4)により制御された高次群読出クロック信号に従って読出して高次群データとすることを特徴とするスタッフ同期制御方式。

【請求項2】 前記クロック発生回路(2)は、前記メモリ回路(1)に前記複数系列の低次群チャンネルデータを書込む為の第1のクロック信号と、該複数系列の低次群チャンネルデータを多重化した時の平均データ速度に一致した速度の第2のクロック信号とを出力する構成とし、

前記位相比較回路(3)は、前記クロック発生回路

(2)からの前記第2のクロック信号を分周した分周クロック信号と、前記伝送クロック信号を分周した分周伝送クロック信号との位相を比較してスタッフ要求信号を出力する構成としたことを特徴とする請求項1記載のスタッフ同期制御方式。

【請求項3】 前記クロック発生回路(2)は、前記メモリ回路(1)に前記複数系列の低次群チャンネルデータを書込む為の第1のクロック信号のみを出力する構成とし、

前記位相比較回路(3)は、前記クロック発生回路

(2)からの前記第1のクロック信号を分周した分周クロック信号と、前記伝送クロック信号を分周した分周伝送クロック信号との位相を比較し、位相比較誤差補正を行ってスタッフ要求信号を出力する構成としたことを特徴とする請求項1記載のスタッフ同期制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数系列の低次群チャンネルデータを時分割多重化し、高次群側に同期化させるスタッフ同期制御方式に関する。相互に同期した複数系列の低次群チャンネルデータを、時分割多重化して伝送するシステムに於いては、低次群チャンネルデータの速度と

多重度との積が、高次群データの伝送速度と等しくない場合にスタッフ同期制御が行われる。又テレビカメラ等によるアナログ映像信号を、R、G、B等の3成分信号或いはY、P_R、P_B等の3成分信号にデジタル化し、それらのデジタル3成分信号を時分割多重化して伝送する場合、デジタル化の為の標本化クロック信号と、伝送クロック信号とが非同期の場合が多いから、両者の同期をとる為のスタッフ同期制御が必要となる。このようなスタッフ同期制御を経済的に行わせることが要望されている。

【0002】

【従来の技術】複数系列の低次群チャンネルデータを時分割多重化して伝送するシステムに於けるスタッフ同期制御方式は、既に各種の方式が知られている。又映像信号のR(赤)、G(緑)、B(青)の3成分をそれぞれ低次群チャンネルデータとし、水平ブランキング期間を除いて時分割多重化し、スタッフ同期制御を行って伝送するシステムが知られている。このスタッフ同期制御を行う構成は、従来、例えば、図8に示す構成を有するものであった。同図に於いて、70はメモリ回路、71はエラスティックメモリ回路、72はクロック発生回路、73は位相比較回路、74はクロック制御回路、75は分周回路である。

【0003】クロック発生回路72は、R、G、Bの3成分信号からなる映像信号の水平同期信号Hを基に、それぞれ異なる周波数のクロック信号CLK1、CLK2を、別個のPLL(位相同期ループ)回路を用いて発生する構成が一般的であり、第1のクロック信号CLK1は、メモリ回路70の書込クロック端子Wに加えられる。又第2のクロック信号CLK2は、3成分信号R、G、Bを多重化した時の総和の平均デジタル速度に一致する速度に選定されており、クロック信号CLK1との周波数比は、単純な整数とならない場合が多いから、前述のように、それぞれ別個のPLL回路を用いることになる。このクロック信号CLK2は、メモリ回路70の読出クロック端子Rとエラスティックメモリ回路71の書込クロック端子Wとに加えられる。又クロック制御回路74を介して高次群のクロック信号CLK3が、CLK3としてエラスティックメモリ回路71の読出クロック端子Rに加えられる。

【0004】従って、デジタル化された映像信号の3成分信号R、G、Bは、クロック信号CLK1に従ってメモリ回路70に書込まれ、クロック信号CLK2に従って読出されて多重化され、この多重化信号は、エラスティックメモリ回路71にクロック信号CLK2に従って書込まれる。

【0005】又クロック信号CLK2は分周回路75により1/Nに分周され、伝送クロック信号を分周して形成された分周伝送クロック信号LFと位相比較回路73により位相比較され、位相差に対応したスタッフ要求信

10

20

30

40

50

3

号STFが出力される。このスタッフ要求信号STFにより、高次群側のクロック信号CLK3は、クロック制御回路74に於いて一部クロックパルスが削除されたクロック信号CLK3'となり、エラスティックメモリ回路71の読出クロック端子Rに加えられ、読出された高次群データD1と共にスタッフ要求信号STFは、伝送路フレーム多重化回路(図示せず)に転送され、スタッフ同期制御が行われて伝送路に送出される。

【0006】前述のように、低次群チャンネルデータに対応する映像信号の3成分信号R、G、Bは、メモリ回路70により時分割多重化されて、エラスティックメモリ回路71によりスタッフ同期が行われることになる。

【0007】

【発明が解決しようとする問題点】前述のように、従来例のスタッフ同期制御方式は、時分割多重化用のメモリ回路70と、スタッフイング用のエラスティックメモリ回路71とを必要とするものであり、従って、2個の高速動作のメモリ回路を設けるものであるから、回路規模が大きくなり、且つ高価となる欠点があった。本発明は、簡単な構成でスタッフ同期を行わせることを目的とする。

【0008】

【課題を解決するための手段】本発明のスタッフ同期制御方式は、多重化とスタッフイングとを同一のメモリ回路により実現できるようにしたもので、図1を参照して説明する。複数系列の低次群チャンネルデータを書込み、高次群データとして読出すメモリ回路1と、複数系列の低次群チャンネルデータの同期信号に同期したクロック信号を出力するクロック発生回路2と、このクロック発生回路2からのクロック信号と伝送クロック信号との位相差に対応してスタッフ要求信号を出力する位相比較回路3と、この位相比較回路3からのスタッフ要求信号により、メモリ回路1に加える高次群読出クロック信号を制御するクロック制御回路4とを備えて、メモリ回路1に複数系列の低次群チャンネルデータをクロック発生回路2からのクロック信号に従って書込み、クロック制御回路4により制御された高次群読出クロック信号に従って読出して高次群データとするものである。

【0009】又クロック発生回路2は、メモリ回路1に複数系列の低次群チャンネルデータを書込む為の第1のクロック信号と、複数系列の低次群チャンネルデータを多重化した時の平均データ速度に一致した速度の第2のクロック信号とを出力する構成とし、位相比較回路3は、クロック発生回路2からの第2のクロック信号を分周した分周クロック信号と、伝送クロック信号を分周した分周伝送クロック信号との位相を比較してスタッフ要求信号を出力する構成としたものである。

【0010】又クロック発生回路2を、メモリ回路1に複数系列の低次群チャンネルデータを書込む為の第1のクロック信号のみを出力する構成とし、位相比較回路3

4

を、クロック発生回路2からの第1のクロック信号を分周した分周クロック信号と、伝送クロック信号を分周した分周伝送クロック信号との位相を比較し、位相比較誤差補正を行ってスタッフ要求信号を出力する構成としたものである。

【0011】

【作用】請求項1について、クロック発生回路2からのクロック信号に従って複数系列の低次群チャンネルデータはメモリ回路1に並列的に書込まれ、クロック制御回路4により制御された高次群読出クロック信号により所定の順序でメモリ回路1から読出されるから、多重化された高次群データとなる。又高次群読出クロック信号は、書込側のクロック発生回路2からのクロック信号と、読出側に相当する伝送クロック信号との位相差に対応して制御されるから、メモリ回路1は、多重化用とスタッフイング用とに兼用することができる。

【0012】又請求項2について、クロック発生回路2からの第1のクロック信号は、メモリ回路1に低次群チャンネルデータを書込む為に加えられ、第2のクロック信号は、伝送クロック信号との位相差を求める為に位相比較回路3に加えられる。この場合、第2のクロック信号と伝送クロック信号とはそれぞれ所定の分周比で分周されて位相が比較され、位相差に対応したスタッフ要求信号がクロック制御回路4に加えられ、クロック制御回路4により制御された高次群読出クロック信号により、メモリ回路1からスタッフ同期制御された高次群データとして読出されることになる。

【0013】又請求項3について、クロック発生回路2は、第1のクロック信号のみを出力する構成とし、そのクロック信号に従ってメモリ回路1に低次群チャンネルデータが並列的に書込まれる。又この第1のクロック信号を分周し、伝送クロック信号を分周して位相比較回路3により位相を比較する。その場合、伝送クロック周期にメモリ回路1より読出されるデータ数は、伝送クロック信号と第1のクロック信号との速度比に対し、単純な整数関係とならない場合が多いから、スタッフ量(整数)の判定に於いて演算誤差が発生する。そこで、位相比較回路3に付加した位相誤差補正手段により、その位相比較誤差を補正して、スタッフ要求信号を出力し、クロック制御回路4に加えるものである。なお、請求項2に於いて、伝送クロック周期にメモリ回路1より読出されるデータ数は、伝送クロック信号と第2のクロックとの速度比に対し単純な整数関係として求められる為、位相誤差補正手段は不要となる。

【0014】

【実施例】図2は本発明の一実施例のブロック図であり、低次群チャンネルデータとして映像信号の3成分信号R、G、Bを入力する場合を示し、11はメモリ回路、12はクロック発生回路、13は位相比較回路、14はクロック制御回路、15は分周回路である。クロック発

生回路12は、従来例と同様に、映像信号の水平同期信号Hが入力され、その水平同期信号Hに位相同期した第1及び第2のクロック信号CLK1、CLK2が発生され、第1のクロック信号CLK1はメモリ回路11の書込クロック端子Wに加えられ、第2のクロック信号CLK2は分周回路15により1/Nに分周されて位相比較回路13に加えられる。又伝送クロック信号を分周して得られた分周伝送クロック信号LFが位相比較回路13に加えられて、分周回路15の分周出力信号と位相比較され、位相差に対応したスタンプ要求信号STFが出力される。

【0015】クロック制御回路14は、スタンプ要求信号STFに従って高次群のクロック信号CLK3^ˆに対して一部クロックパルスの削除を行って高次群読出クロック信号CLK3^ˆを形成するもので、この高次群読出クロック信号CLK3^ˆは、メモリ回路11の読出クロック端子Rに加えられる。従って、メモリ回路11からスタンプされた高次群データD1が読出され、スタンプ要求信号STFと共に多重化部と伝送符号化部とを含む伝送処理部(図示せず)に転送され、伝送路符号に変換されて伝送路に送出される。

【0016】図3は、図2の更に詳細なブロック図を示し、メモリ回路11は、映像信号の3成分信号R、G、Bが入力される入力端子DINと出力端子DOUTと書込クロック端子Wと読出クロック端子Rとを有し、高速動作のFIFO構成のメモリ21~23と、書込制御回路24と、メモリ制御回路25と、読出制御回路26とから構成されている。又クロック発生回路12は、水平同期信号Hに位相同期して第1及び第2のクロック信号CLK1、CLK2を出力するPLL(位相同期ループ)回路27、28により構成されている。

【0017】又位相比較回路13は、分周伝送クロック信号LFをロード信号とし、第2のクロック信号CLK2をカウントするカウンタにより構成し、図2に於ける分周回路15を含む構成としている。又クロック制御回路14は、アンド回路31とROM(リードオンリメモリ)32とカウンタ33とから構成されている。又、15は高次群データD1と高次群読出クロック信号CLK3^ˆとスタンプ情報STF^ˆとが加えられる多重化部、16は多重化されたデータD2を伝送路符号に変換して伝送路に送出する伝送符号化部、17は伝送クロック信号CLKを分周する分周回路、18は伝送クロック抽出部である。

【0018】図4及び図5は本発明の一実施例の動作説明図であり、図4に於けるHは水平同期信号、CLK1、CLK2は第1、第2のクロック信号、CLK3^ˆは高次群のクロック信号、CLK3^ˆは高次群読出クロック信号、LFは分周伝送クロック信号、STF^ˆはスタンプ情報、MOUTはROM32の出力信号である。又T1は水平同期信号Hの周期、T2は第1のクロック信

号CLK1の周期、T3は分周伝送クロック信号LFの周期、T4はスタンプ量に応じて変化するROMの出力信号MOUTが“0”となる期間を示す。

【0019】又図5に於いて、WCKはメモリ回路21、22、23の書込クロック端子Wに加えられる書込クロック信号、*WEは書込イネーブル信号、*WRは書込リセット信号、DIN(R)、DIN(G)、DIN(B)はメモリ21~23の入力端子DINに加えられる映像信号の3成分信号R0~Rn、G0~Gn、B0~Bn、RCK(CLK3^ˆ)は高次群読出クロック信号、*RE1~*RE3は読出イネーブル信号、*RR1~*RR3は読出リセット信号、DOUT(R)、DOUT(G)、DOUT(B)はメモリ21~23の出力端子DOUTから出力される映像信号の3成分信号R0~Rn、G0~Gn、B0~Bn、D1は高次群データを示す。なお、「*」印は反転した信号であることを示す。

【0020】クロック発生回路12に入力される水平同期信号Hは、例えば、33.75kHz、第1のクロック信号CLK1は74.25MHzとすることができる。又分周回路17により伝送クロック信号CLKを1/nに分周した分周伝送クロック信号LFは8kHzとすることができる。この場合、第2のクロック信号CLK2は、分周伝送クロック信号LFと比較的簡単な整数関係となるように、PLL回路28により設定することができる。

【0021】又位相比較回路13は、分周伝送クロック信号LFをロード信号として第2のクロック信号CLK2をカウントし、そのカウント内容をスタンプ情報STF^ˆとした場合を示し、そのスタンプ情報STF^ˆは、クロック制御回路14及び多重化部15に加えられる。クロック制御回路14に於いては、分周伝送クロック信号LFをロード信号として周期的なパターンを発生するカウンタ33のカウント内容と、スタンプ情報STF^ˆとをアクセスアドレスとして、ROM32からクロックイネーブル期間を示す信号MOUTが読出される。例えば、分周伝送クロック信号LF周期で、スタンプ無しの場合はAバイト(Aは整数)、スタンプ有りの場合はA±1バイトの伝送を行う場合、スタンプ情報STF^ˆの値に応じ、STF^ˆ=Aの時、0が1回、STF^ˆ=A+1の時、0が0個、STF^ˆ=A-1の時、0が2個だけカウンタ33の出力のスタフィング用のパターン時に選択されて信号MOUTとして出力される。

【0022】このROM32の出力信号MOUTはアンド回路31に加えられ、クロックイネーブル期間でないことを示す“0”の期間T4、高次群側のクロック信号CLK3^ˆが阻止され、高次群読出クロック信号CLK3^ˆは、メモリ回路11の読出制御回路26に加えられ

10

20

30

40

50

【0023】この読出制御回路26からは、読出クロック信号RCKと読出イネーブル信号*RE1~*RE3と読出リセット信号*RR1~*RR3とが順次出力されてメモリ21~23に加えられる。又クロック発生回路12のPLL回路27からの第1のクロック信号CLK1は、メモリ21~23の書込クロック端子Wと書込制御回路24とに加えられ、書込制御回路24からの書込リセット信号*WRと書込イネーブル信号*WEがメモリ21~23に加えられる。又書込制御回路24からの書込アドレスWAと、読出制御回路26からの読出アドレスRAとがメモリ制御回路25に加えられ、アドレス比較により、メモリ21~23のオーバーフローやアンダーフローが生じる時には、リセットパルスRSが読出制御回路26に加えられる。

【0024】従って、メモリ21~23には映像信号の3成分信号R, G, Bが、図5のDIN(R), DIN(G), DIN(B)に示すように、並列的に書込まれ、読出制御回路26からメモリ21~23対応の読出クロック信号、読出イネーブル信号が順次出力されるから、例えば、図5のDOU(T) (R), DOU(T) (G), DOU(T) (B)に示すように、3成分信号R, G, Bの順番で読出されて高次群データD1となる。

【0025】多重化部15に於いては、高次群読出クロック信号CLK3'に同期した高次群データD1と、分周伝送クロック信号LFの周期の周期T3内の第2のクロック信号CLK2のカウント内容からなるスタッフ情報STF'とを、伝送クロック抽出部18より出力される伝送クロック信号LCLKに従って多重化して伝送符号化部16に転送し、この伝送符号化部16に於いては、伝送路符号に変換して、伝送クロック信号LCLKに従って伝送路に送出することになる。

【0026】前述の図3の構成に於いては、スタッフ情報STF'として、分周伝送クロック信号LFの周期T3内の第2のクロック信号CLK2のカウント内容を、分周伝送クロック信号LFの周期T3毎にそのまま受信側に送出する場合を示すが、そのカウント内容と予め予想される値との差分をスタッフ情報として伝送することもできる。又ROM32の出力信号MOUTの“0”の期間T4を、スタッフ要求信号の出力期間として、スタッフ処理を行うことも可能である。

【0027】又映像信号の3成分信号R, G, Bの代わりに、3成分信号Y, PR, PBを用いる場合にも適用することができる。又更に多数の低次群チャネルデータを多重化する場合は、低次群チャネルデータ数に対応したメモリを有するメモリ回路11を設ければ良いことに

$$S(384/440) \times 3 + S(384/440) + S(384/440) \\ = S(384/440) \times 5$$

となる。即ち、この値だけのデータを一つの伝送フレームに多重化すれば良いことになる。その場合の多重化部が4並列動作構成を有している場合、それぞれをスロツ

なる。又クロック発生回路12に入力する映像信号の水平同期信号Hの代わりに、そのM倍或いは1/M周期の信号を入力することもできる。

【0028】図6は本発明の他の実施例のブロック図であり、51はメモリ回路、52はクロック発生回路、53は位相比較回路、54はクロック制御回路、55は分周回路である。クロック発生回路52は、第1のクロック信号CLK1のみを出力する構成とし、このクロック信号CLK1は、メモリ回路51の書込クロック端子Wと分周回路55とに加えられ、メモリ回路51に加えられた映像信号の3成分信号Y, PR, PBは、クロック信号CLK1に従って並列的に書込まれる。

【0029】又クロック信号CLK1は分周回路55により分周されて位相比較回路53に加えられ、伝送クロック信号を分周した分周伝送クロック信号LFの位相と比較され、位相差に対応したスタッフ要求信号STFが出力され、クロック制御回路54に於いて、このスタッフ要求信号STFにより高次群のクロック信号CLK3が制御され、メモリ回路51の読出クロック端子Rに高次群読出クロック信号CLK3'が加えられ、メモリ回路51から順次3成分信号Y, PR, PBが読出されて高次群データD1となり、スタッフ要求信号STFと共に多重化部と伝送符号化部とからなる伝送処理部に転送される。

【0030】位相比較回路53は、図7に示すように、カウンタ61と、加算回路62と、除算回路63と、フリップフロップ64, 65とからなり、カウンタ61を除く構成により、位相比較誤差補正手段が構成されている。このカウンタ61は、例えば、8kHzの分周伝送クロック信号LFの周期毎に、映像信号の3成分信号の中の信号PR, PBのサンプリング周波数14.85MHzのクロック信号CLK1をカウントする。

【0031】カウンタ61のカウント内容と、フリップフロップ64を介した除算回路63の除算余りとが加算回路62により加算されて除算回路63に加えられ、有効サンプル数に相当する商の値がフリップフロップ65に加えられ、このフリップフロップ65を介してスタッフ情報STF'として出力される。又14.85MHzのクロック信号CLK1による1水平走査線のサンプル数は440となるが、有効サンプル数は水平同期期間を除くことにより、384となる。又Y信号は3倍の周波数の44.55MHzでサンプリングするから、有効サンプル数は信号PR, PBの3倍となる。

【0032】カウンタ61のカウント内容をSとすると、映像信号の全体の有効サンプル数は、

トとすると、各スロットには、有効サンプル数を4で除算した商に相当するサンプル数を転送することになる。

【0033】即ち、除算回路63に於いて、 $S \times (12$

／11)の演算を行い、商の値に相当するサンプル数を各スロットに転送する為のスタッフ情報STFを、フリップフロップ65を介して送出し、除算による余りは、フリップフロップ64を介して加算回路62に加え、次の周期のカウント内容Sに加算することにより、切捨てによる誤差を補正するものである。なお、多重化部が4並列動作でない場合は、それに対応した除算回路63を構成すれば良いことになる。

【0034】位相比較回路53に前述のような位相比較誤差補正手段を設けることにより、クロック発生回路52は、第1のクロック信号CLK1のみを出力する構成で済むことになり、又メモリ回路51により、多重化用とスタッフィング用とに兼用できるから、回路規模を縮小することが可能となる。なお、この実施例に於いても、低次群チャネルデータとしての映像信号の3成分信号Y, PR, PBの代わりに、3成分信号R, G, Bを用いることも可能であり、又更に多数の低次群チャネルデータの多重化を行う場合のスタッフ同期制御にも適用できる。又クロック発生回路52に入力する映像信号の水平同期信号Hの代わりに、そのM倍或いは1/M周期の信号を入力することもできる。

【0035】

【発明の効果】以上説明したように、本発明は、多重化

用とスタッフィング用とに兼用したメモリ回路1を設ければ良いことになり、回路規模を小さくして経済化を図ることができる。又位相比較回路3に位相比較誤差補正手段を設けた場合は、クロック発生回路2は第1のクロック信号のみを出力すれば良いので、第2のクロック信号を発生する為のPLL回路を省略することが可能となり、一層の経済化を図ることができる利点がある。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

10 【図2】本発明の一実施例のブロック図である。

【図3】本発明の一実施例の詳細なブロック図である。

【図4】本発明の一実施例の動作説明図である。

【図5】本発明の一実施例の動作説明図である。

【図6】本発明の他の実施例のブロック図である。

【図7】本発明の他の実施例の位相比較回路の要部ブロック図である。

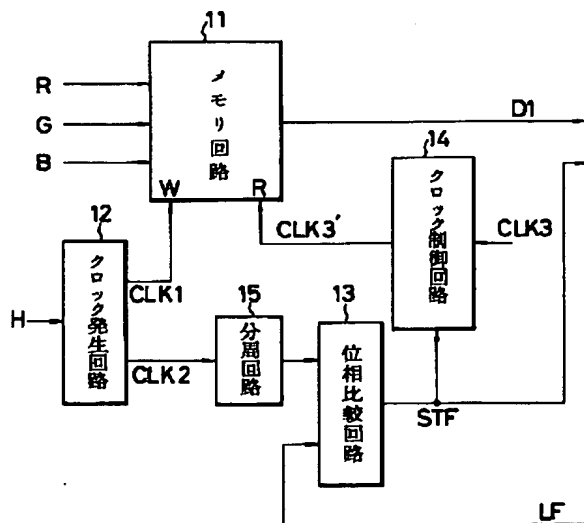
【図8】従来例のブロック図である。

【符号の説明】

- 1 メモリ回路
- 2 クロック発生回路
- 3 位相比較回路
- 4 クロック制御回路

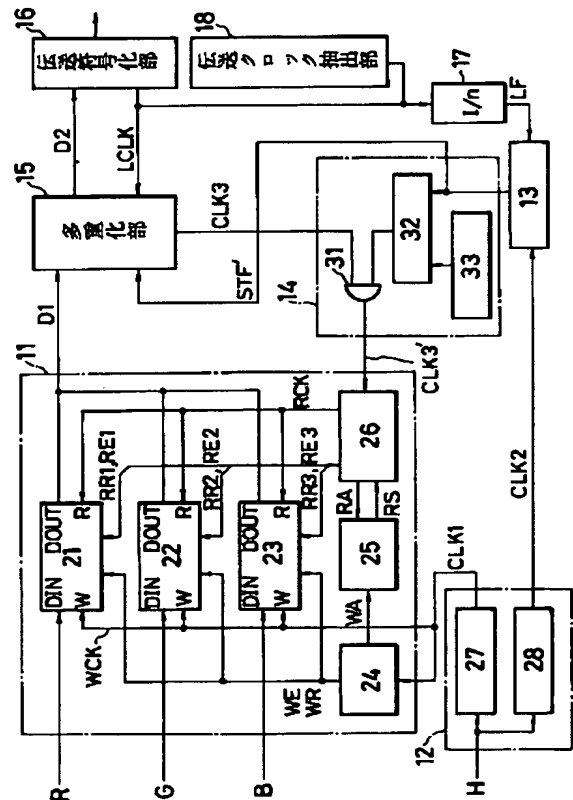
【図2】

本発明の一実施例のブロック図



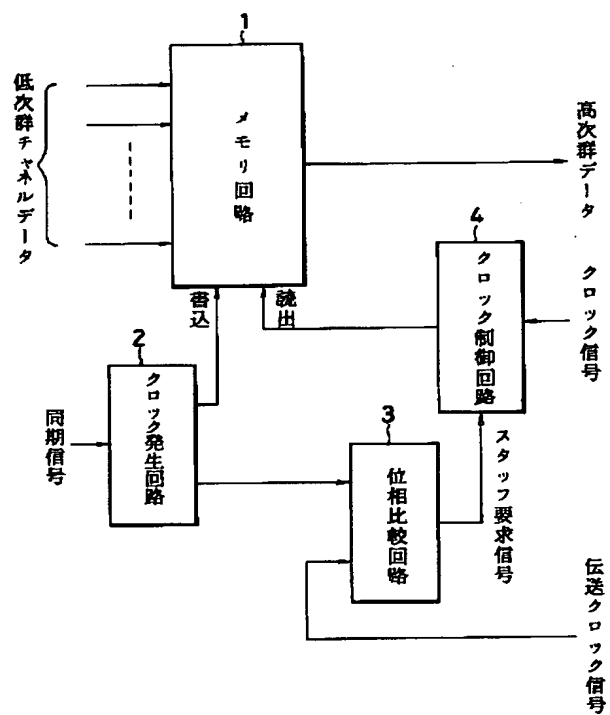
【図3】

本発明の一実施例の詳細なブロック図



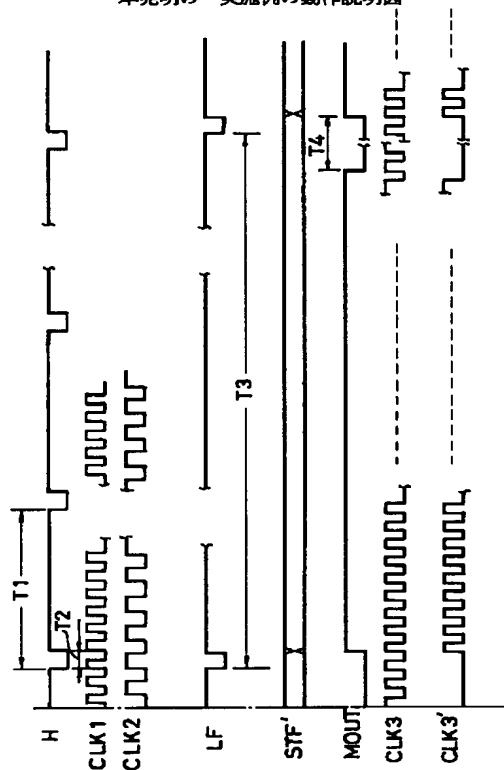
【図 1】

本発明の原理説明図



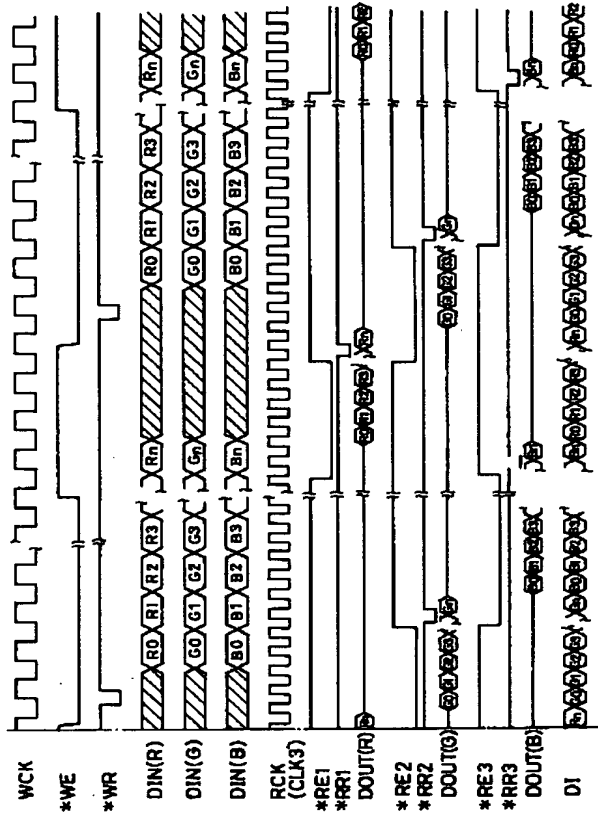
【図 4】

本発明の一実施例の動作説明図



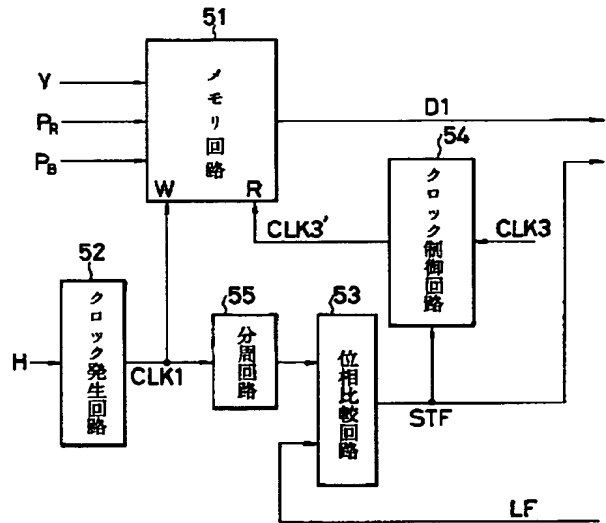
【図5】

本発明の一実施例の動作説明図



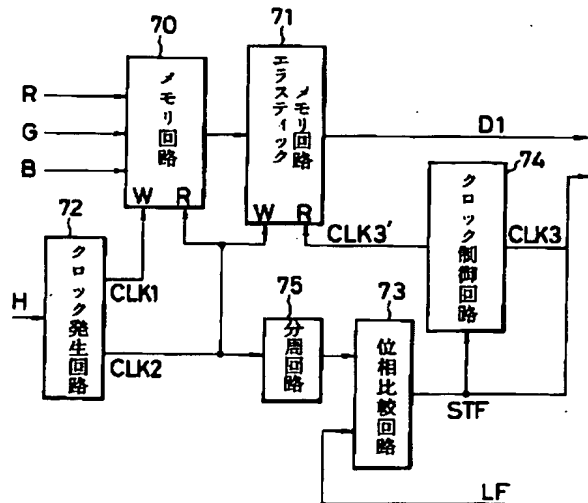
【図6】

本発明の他の実施例のブロック図



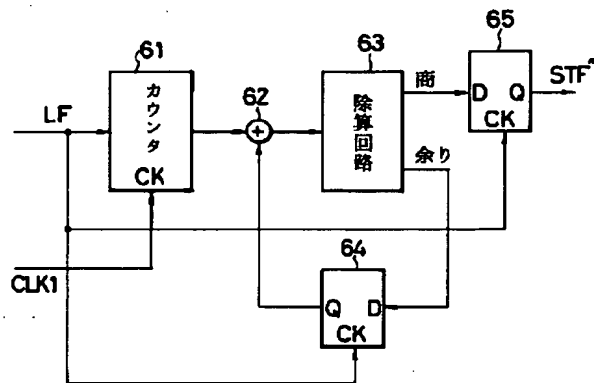
【図8】

従来例のブロック図



【図 7】

本発明の他の実施例の位相比較回路の要部ブロック図



フロントページの続き

(72)発明者 山川 俊浩
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内